مصفوفة البوابات المبرمجة حقليا (FPGA) المنفذة لشبكات المدرك متعددة الطبقات (MLP)

رافد أحمد خليل
كلية الهندسة - قسم الميكاترونيكس

نور طلال كداوي
كلية هندسة الالكترونيات - قسم الالكترونيك

الخلاصة

في هذا البحث تم اقتراح طريقة تصميم شبكة عصبية نوع مدرك متعددة الطبقات (MLP), بالاعتماد على تدريبها باستخدام خوارزمية الانتشار العكسي (BP) , ثم تنفيذها باستخدام لغة وصف الدوائر المتكاملة ذات السرعة الفائقة (VHDL) والتي تستخدم لعمل تصاميم ضخمة فائقة التكامل (VLSI). في البداية تم تصميم وتنفيذ خلية عصبية(باستخدام دالة التفعيل غير الخطية السيغمويد) والتي تعتبر وحدة أساسية في الشبكات العصبية الاصطناعية, تنفيذ الخلية باستخدام صيغة الاعداد الصحيحة وصيغة النقطة العائمة.

تم تصميم وتنفيذ شبكة عصبية متعددة الطبقات. حيث إن الشبكة المصممة دُربت باستخدام خوارزمية الانتشار العكسي باستخدام برنامج محاكاة تم تطويره في بيئة Matlab لغرض الحصول على المعاملات المثلى الخاصة بالشبكة العصبية, تم بناء الكيان المادي للشبكة على شريحة مصفوفة البوابات المبرمجة حقليا نوع Spartan 3E, وتم تنفيذ هذه الشبكة بصيغة النقطة العائمة على شريحة (FPGA) نوع Virtex4 ومقارنتها مع الشبكة المنفذة بصيغة الإعداد الصحيحة.

FPGA Implementation of a Multilayer Perceptron (MLP) Network

Rafid Ahmed Khalil
College of Engineering - Mechatronics Dept.
rafidamori@yahoo.com

Nour talal gadawe
College of Electronics Eng.- Electronics Dept.
nourgadawe@yahoo.com

Abstract

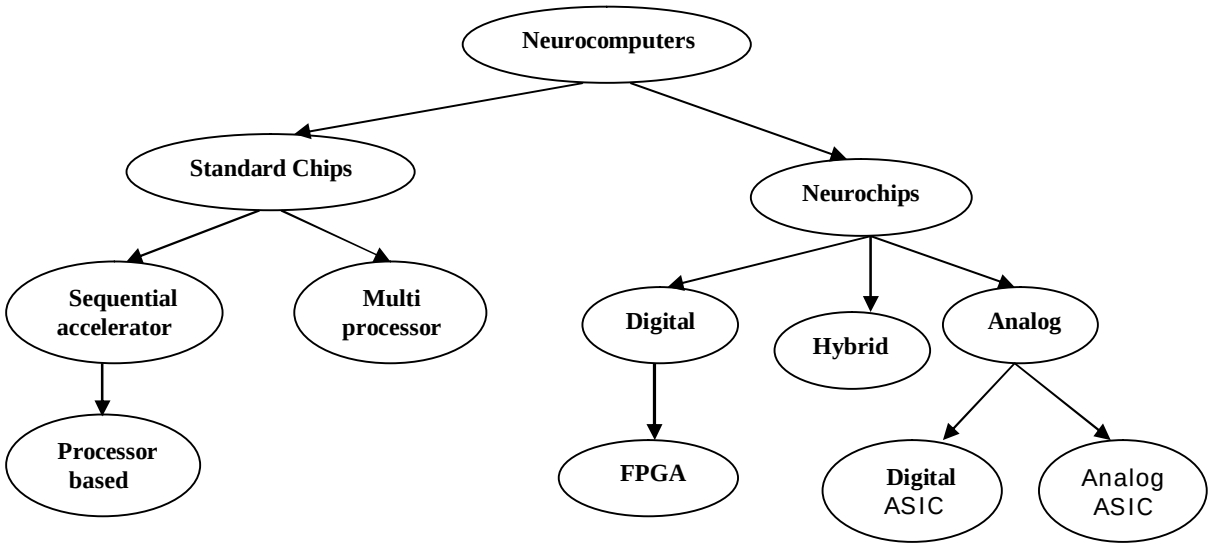
In this paper, we suggest a method for designing and implementing of multilayer Perceptron (MLP) neural network based on backpropagation (PB) learning algorithm. The method is described using very high speed integrated circuit hardware description language (VHDL), that used in developing the designs of a very large scale integration (VLSI). Firstly artificial neuron with sigmoid activation function has been designed and implemented which is considered as a basic unit of MLP. The MLP network is trained by BP algorithms, in the Matlab environment in order to obtain the ideal parameters of the network. Then hardware implementation of MLP on FPGAs, of types Spartan 3E and Virtex4 is achieved by using integer format and floating point format respectively . A comparison is done between the two arithmetic formats of MLP implementations on FPGAs.

Keyword: MLP neural networks , floating-point (FLP) arithmetic, FPGA, VHDL.

1_ المقدمة :

تعد الشبكات العصبية نوع مدرك متعددة الطبقات (MLP) من الشبكات شائعة الاستعمال, وتمتاز بقابليتها على خزن المحتوى ألمعلوماتي بصورة ضمنية في الارتباطات, التي تمثل الأوزان التي تربط خلية بأخرى. وهي تستخدم في مجالات تطبيقية واسعة, وذلك لأنها تمتلك عمومية في التعامل مع كافة أنواع المسائل بأسلوب واضح منها استخدامها في تمييز الأنماط (Pattern recognitions), وفي معالجة الإشارة (Signal Processing), وأنظمة الروبوت (Robot System). إن خوارزمية الانتشار العكسي (BP) يمكن تطبيقها على أي شبكة عصبية متعددة الطبقات. تمت محاكاة نماذج الشبكات العصبية برمجياً(software), يُعد الهدف من هندسة الشبكات العصبية الاصطناعية هي تحويلها إلى أنظمة مادية جديدة (new hardware system), وهذا بدوره يقود إلى تعجيل التطورات المستقبلية في تنفيذ الخوارزميات ومعالجة النماذج الرياضية.

إن الكيان المادي العام للشبكات العصبية يمكن وصفه وتمثيله بالحاسبات المايكروية العصبية (neurocomputers), وهي تمثل معالجات عامة الاستعمال (general purpose processors). وان التنفيذ بهذه المعالجات يكون بأحد اتجاهين رئيسين: إما باستخدام الشرائح القياسية (Standard chips), أو باستخدام الشرائح العصبية (Neurochips) كما هو موضح في الشكل(1) [1].



شكل (1) أنواع الكيانات المادية الخاصة بتنفيذ الشبكات العصبية

إن النوع الأول يكون مستند على الدوائر المتكاملة القياسية (Standard ICs) والتي تضم بطاقات تسريع وأنظمة متعددة المعالجات, إما النوع الثاني فيكون على ثلاثة أشكال : التناظري, الرقمي, ألهجيني, إذ إن التنفيذ على الشرائح الرقمية هي الأكثر شيوعا.

وعموماً فان الشبكات العصبية الاصطناعية في الأصل هي معماريات متوازية, وهناك عدة محاولات سابقة لبناء دوائر متكاملة تتضمن وحدات تشغيل متوازية, ولكن هذه الألواح عانت من عدة تقيدات, منها القدرة على تنفيذ خوارزميات معينة ومحددة, وتقييد في حجم الشبكة. ولهذا تم التركيز على تنفيذ الشبكات العصبية الاصطناعية على شرائح منطقية مبرمجة PLD (Programmable Logic Device) قابلة لإعادة التكوين (Reconfigurable), وعليه تم استخدام مصفوفة البوابات المبرمجة حقليا (PFGA) من اجل تطوير نوعية الشبكة التي تمتاز بإمكانية إعادة برمجتها بسهولة.

ان شريحة FPGA تستطيع توفير التوازن المطلوب من ناحية المرونة والسرعة والمساحة والكلفة في آن واحد, وهذا التوازن لاتستطيع توفيره الأنواع الأخرى من طرائق التنفيذ كما هو موضح في الجدول(1) [2].

ان لغة وصف الكيان المادي للدوائر المتكاملة ذات السرعة الفائقة (VHDL) هي مختصر لـ (Very high speed integrated circuit Hardware Description Language)

وهي لغة قياسية معتمدة وموثقة من المعهد التعليمي للهندسة الكهربائية والإلكترونية IEEE . وفي عام 1987، ظهرت أول نسخة قياسية منها وسميت IEEE 1076 والنسخة القياسية الأخرى ظهرت عام 1993 وسميت IEEE 1164 [3]. وهي لغة معقدة ومتطورة للغاية فهي تحوي معظم معالم لغات البرمجة الكيانية ذات المستوى العالي(object oriented programmable language).

الجدول(1) المقارنة بين أنواع الكيانات المادية المنفذة للشبكات العصبية

Specification	Analog ASIC	Digital ASIC	FPGA	processor based	Multi processor
Area	+++	++	+	-	--
Cost	--	--	++	++	-
Design time	--	--	++	+++	+
Reliability	--	+	++	++	++

(+) ملائم (Favorable) (++) ملائم جدا (Very favorable) (+++) ملائم بدرجة عالية (Highly favorable)
(-) غير ملائم (Unfavorable) (--) غير ملائم جدا(Very unfavorable)

2_ خوارزمية الانتشار العكسي (BP Algorithm):

إن خوارزمية الانتشار العكسي يمكن تطبيقها على أية شبكة متعددة الطبقات ومنها MLP وتستعمل دالة تفعيل قابلة للاشتقاق في تمثيل إخراج خلاياها, إذ إن معالجة الإشارة هي معالجة متكررة (iterative process) وكل تكرار (iteration) يتكون من عدد من الخطوات[2]:

الخطوة الأولى: التهيئة (Initialization)

إن الأجزاء الآتية يجب تهيئتها قبل البدء بالتدريب وهي:

* $w_{kj}^{(s)}(n)$ تمثل الأوزان من الخلية j في الطبقة (S-1)إلى الخلية k في الطبقة(S) وهذه الأوزان تكون عند التكرار n

* η يعرف بأنه معدل التعلم (learning rate), وهو يستخدم للسيطرة على حجم الخطوة في تصحيح الخطأ خلال كل تكرار لخوارزمية الانتشار العكسي.

* $\theta_k^{(s)}$ تمثل الانحياز للخلية العصبية k في الطبقة S.

الخطوة الثانية: تمثيل زوج التدريب (Presentation of Training Sets)

اختيار زوج التدريب من مجموعة التدريب, الذي يمثل الإدخال والإخراج المطلوب.

الخطوة الثالثة: الحسابات الأمامية (Forward Computation)

خلال الحسابات الأمامية فان البيانات تنتقل من الطبقة(S-1)باتجاه الطبقة(S) والحسابات تكون كالآتي :

$$net_k^{(s)} = \sum_{j=1}^{n_{s-1}} w_{kj}^{(s)} a_j^{(s-1)} + \theta_k^s \qquad \text{.....(1)}$$

إذ إن j<k وs=1,....M

: $net_k^{(s)}$ تمثل مجموع الأوزان للخلية k في الطبقة S.

: $w_{kj}^{(s)}$ تمثل الأوزان المعرفة مسبقا.

: $a_j^{(s-1)}$ تمثل إخراج الخلية j في الطبقة (S-1).

: θ_k^s تمثل الانحياز للخلية k في الطبقة S.

$$a_k^{(s)} = f(net_k^{(s)}) \qquad \text{.....(2)}$$

إذ إن k=1,.....N وs=1,.....M

M: عدد الطبقات , N: عدد الخلايا في الطبقة.

: $a_k^{(s)}$ يمثل إخراج الخلية k في الطبقة s.

: $f(net_k^{(s)})$ تمثل دالة التفعيل المحسوبة لمجموع الإدخالات الموزونة.

الخطوة الرابعة : الحسابات الخلفية (Backward Computation)

في هذه الخطوة سيتم تحديث الأوزان, إن الهدف من خوارزمية التعلم هي تقليل الخطأ بين القيمة المتوقعة, والقيمة الحقيقة المحسوبة خلال الحسابات الأمامية (Forward Computation), ويكون كالآتي:

1-ابتداءاً من طبقة الإخراج والتحرك بالاتجاه الخلفي نحو طبقة الإدخال يتم حساب معدل الانحدار (local gradients) إذ إن:

$$\varepsilon_k^{(s)} = t_k - a_k^{(s)} \cdots (s = M)$$
$$\varepsilon_k^{(s)} = \sum_{j=1}^{N_{s+1}} w_{kj}^{s+1} \delta_j^{(s+1)} \cdots (s = 1,.... M - 1) \quad .....(3)$$

إذ إن:

$\varepsilon_k^{(s)}$: تمثل الخطأ للخلية العصبية K في الطبقة S.

$\delta_j^{(s+1)}$: يمثل معدل الانحدار (local gradient) للخلية العصبية j في الطبقة (S+1).

$$\delta_k^{(s)} = \varepsilon_k^{(s)} f'(net_k^{(s)}) \quad .....(4)$$

$f'(n_k^{(s)})$: تمثل مشتقة دالة التفعيل.

2- يتم حساب التغير في الأوزان كالآتي :

$$\Delta w_{kj}^{(s)} = \eta \delta_k^{(s)} o_j^{(s-1)}$$
$$.k = 1,.... N_s, j = 1,..... N_{s-1} \quad .....(5)$$

$\Delta w_{kj}^{(s)}$: يمثل التغير في الأوزان من الخلية j في الطبقة (S-1) إلى الخلية k في الطبقة S.

3- يتم تحديث الأوزان كالآتي:

$$w_{kj}^{s}(n+1) = \Delta w_{kj}^{(s)}(n) + w_{kj}^{(s)}(n) \quad .....(6)$$

إذ إن:

K=1,..... N_{s-1} j=1,... , N_s

$w_{kj}^{s}(n+1)$: تمثل الأوزان المحدثة عند (n+1) من التكرار في الحسابات الأمامية.

$\Delta w_{kj}^{(s)}(n)$: تمثل التغير في الأوزان المحسوب عند n من التكرار في الحسابات الخلفية, و n تمثل التكرار الحالي.

$w_{kj}^{(s)}(n)$: تمثل الأوزان المستخدمة عند n من التكرار في الحسابات الأمامية والحسابات الخلفية.

الخطوة الخامسة :التكرار (Iteration)

يتم تكرار الحسابات الأمامية والخلفية لكل أنموذج من مجموعة التدريب.

3_ تمثيل النظام العددي في الكيان المادي:

يُعدُ تمثيل النظام العددي مسألة مهمة جداً في تصميم الكيان المادي, واختيار تمثيل الأرقام الثنائية هو الخطوة الأولى لتنفيذ أي نظام رقمي ككيان مادي (Digital Hardware System) ، اعتماداً على طبيعة العمل المصمم لأجله، وسبب ذلك اختلاف تمثيل الأعداد في أية أنظمة مادية رقمية يتطلب طرائق مختلفة للتعامل معها ومعالجتها بصورة صحيحة، وبالتالي فانه يحتاج إلى تحويرات على نظام الكيان المادي المصمم. وهناك عدة صيغ لتمثيل الاعداد منها صيغة الأعداد الصحيحة, صيغة النقطة الثابتة, صيغة الاعداد المدورة , صيغة النقطة العائمة وغيرها وسوف يتم توضيح صيغة الاعداد الصحيحة وصيغة النقطة العائمة والمستخدمة في هذا البحث.

3-1 صيغة الأعداد الصحيحة (Integer Number Format)

تعد صيغة الأعداد الصحيحة من ابسط الصيغ المستخدمة لتمثيل الأعداد, وهي تكون اقل تعقيداً وتشغل مساحة سليكونية اقل وهي سهلة التنفيذ. وهذا بدوره يقود إلى تقليل من كلفة النظام, فهي تتكون من جزأين الجزء الأول يمثل الإشارة (Sign), والجزء الثاني يمثل العدد الصحيح (integer number). فعند التعامل مع الأعداد سيتم تقريب العدد إلى اقرب عدد صحيح, فعلى سبيل المثال إن العدد(12.7) سيتم تقريبه إلى (13), في حين العدد(12.3) يتم تقريبه إلى (12), ومن مميزات هذه الطريقة هي السهولة والبساطة, ولكن هذا على حساب الدقة, وفي هذه الصيغة تتضح أعلى قيمة وأقل قيمة وفق المعادلات الآتية[3].

$$\text{smallest} = -2^{n-1}$$
$$\text{largest} = 2^{n-1}-1 \qquad \text{.....(7)}$$

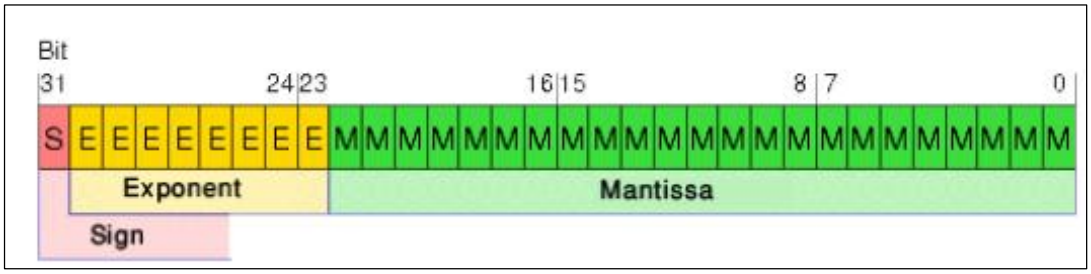
3-2 صيغة النقطة العائمة(Floating Point Format)

تستخدم هذه الصيغة لتمثيل الأعداد الحقيقة, إذ إن العدد مكون من ثلاثة أجـزاء هـي الإشـارة (sign), والأس (Exponent) , والجزء الكسري (Fraction or Mantinssa), ويمكن تمثيلها كالآتي:

$$\pm (d0 + d1B^{-1} + ... + d_{p-1}B^{-(p-1)})\,B^{e}\,(0 \le di < B) \qquad \text{.....(8)}$$

e=exponent
B=Base
p=precision

فعلى سبيل المثال إذا كان p=3 و B=10 فان العدد 0.1 يمثل. $1.00*10^{-1}$ إن إحدى الصيغ المشهورة لتمثيل النقطة العائمة هي (IEEE 754_1985 format) إذ تكون الأرقام ذات دقة مفردة (p=24, B=2, e=k-127 ,m=8)[4].



ويمكن إعادة صياغة المعادلة في أعلاه كالآتي:

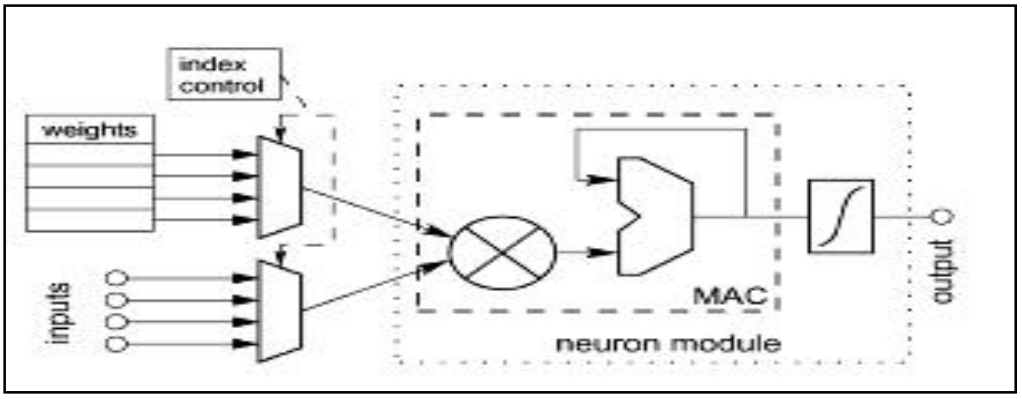
$$V = (-1)^{S}(1.f)\,2^{e} \qquad \text{.....(9)}$$

حيث ان f يمثل الكسر المعبر عنه بالبتات (0-22).

4_ تنفيذ الشبكات العصبية الاصطناعية

4_1 تنفيذ الخلية العصبية:

إن الخلية العصبية تعد وحدة أساسية في تصميم الشبكات العصبية الاصطناعية, وان الأجزاء الرئيسة لتصميم خلية عصبية تتركز في عمليتي الضرب والجمع(MAC), وكذلك في تصميم دالة التفعيـل (Activation Function) كمـا هو موضح في الشكل (2).



الشكل(2) تنفيذ الخلية العصبية الاصطناعية

إذ نجد أن الأوزان تكون مخزونة داخلياً في الذاكرة ROM , وتتم عملية جمع النواتج الجزئية الناتجة من حاصل ضرب الإدخالات في الأوزان المناظرة لها عن طريق (MAC), ومن ثمَ إمرارها في دالة التفعيل عن طريق إشارات إلكترونية داخلية.

4-2 دالة التفعيل غير الخطية (السيغمويد) (Logsig Transfer Function)

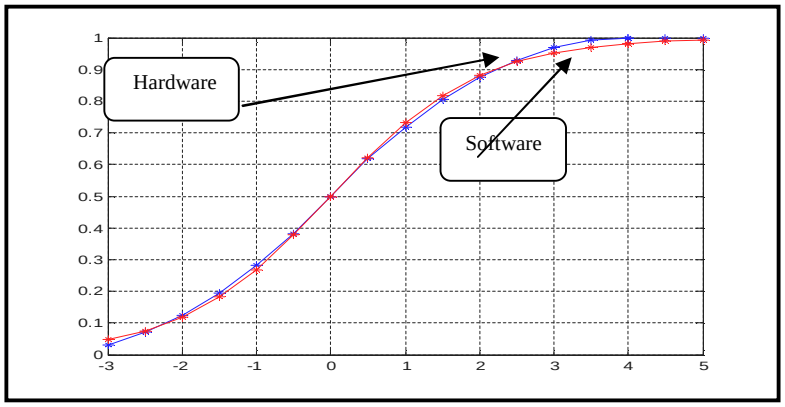
تعد هذه الدالة من الدوال شائعة الاستعمال في خوارزمية الانتشار العكسي, وفي هذا النوع من دوال التفعيل سيتم حصر قيم الإخراج بين (0 &1) وفق المعادلة آلاتية[5]:

$$a = \frac{1}{1 + e^{-net}} \qquad \text{.....(10)}$$

من اجل بناء الكيان المادي لخلية عصبية من هذا النوع فان هناك صيغاً متنوعة منها استخدام جدول معاينة (LUT), أو تبسيط المعادلة إلى معادلات أخرى تودي النتيجة المطلوبة. وقد تم تبسيط المعادلة في أعلاه إلى المعادلات الآتية[5]:

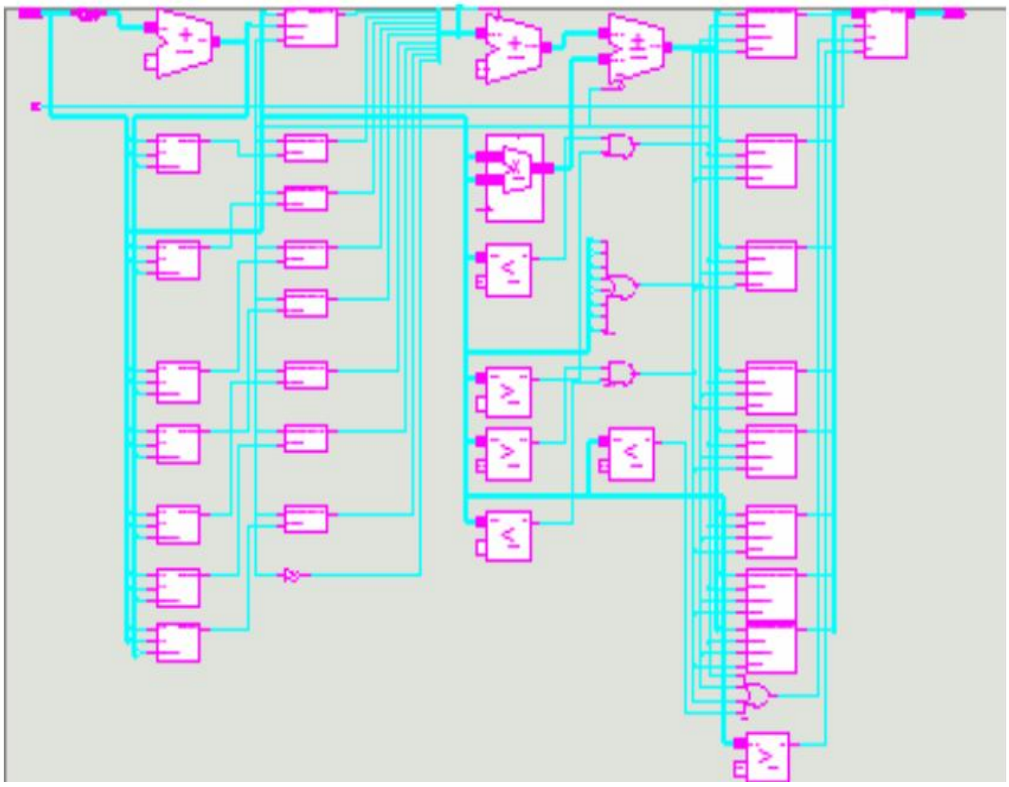
$$\begin{aligned} a &= 1 && \text{when } net > 4 \\ a &= 1 - \frac{1}{2}\left(1 - \frac{1}{4}|net|\right)^2 && \text{when } 0 < net < 4 \\ a &= \frac{1}{2}\left(1 - \frac{1}{4}|net|\right)^2 && \text{when } -4 < net < 0 \\ a &= 0 && \text{when } net < -4 \end{aligned} \qquad \text{.....(11)}$$

الشكل (3) يوضح محاكات تنفيذ المعادلة الأصلية, والمعادلات التقريبية, إذ نجد أنها متطابقة تقريباً مع وجود اختلاف بسيط ومقبول

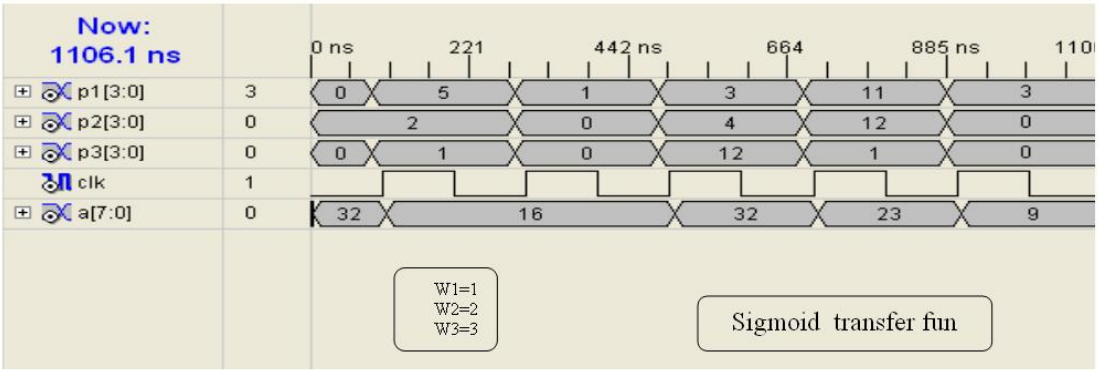


الشكل (3) دالة التفعيل السيغمويد الحقيقية والمقربة

ويوضح الشكل (4) مقطعاً تخطيطياً من التصميم المنفذ على شريحة FPGA من نوع (Spartan 3e) العائلة (XC3S500efg320-4), وعلى مستوى السجل RTL (Register Transfer Logic), أما الشكل (5) فهو يمثل محاكاة التصميم (Simulation Design) على شكل مخطط الإشارات لخلية ذات ثلاث ادخالات (p1,p2,p3)وكل ادخال مكون من (4bit), إشارة نبضة(clk) وإخراج واحد (a) وهو مكون من (8 bit) فعلى سبيل المثال لدينا الادخالات (1,2,5)بالتتابع والاوزان مخزونة داخليا(3,2,1)فعند ضرب هذه الادخالات بالاوزان المناظرة لها ستكون المحصلة (12) وهي اكبر من (4) وعليه فان الاخراج سيكون (32) وهو يناظر (1).



الشكل (4) الكيان المادي المنفذ لدالة اللسيغمويد



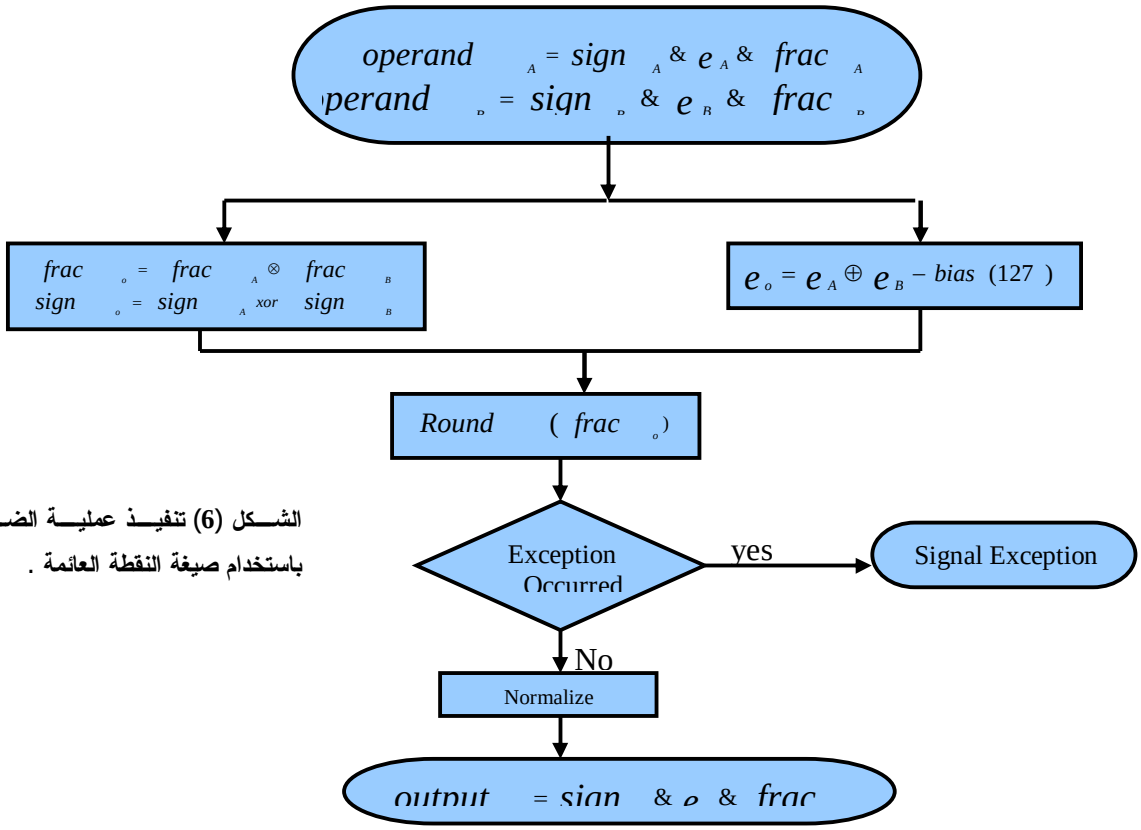
الشكل (5) محاكاة التصميم للخلية العصبية

أما بالنسبة لصيغة النقطة العائمة فكما ذُكر سابقا إن الأجزاء الرئيسة في تصميم الشبكات العصبية تتركز في عمليتي الضرب والجمع وكذلك في تصميم دالة التفعيل, ولأجل تنفيذ عملية الضرب باستخدام هذه الصيغة فان الخوارزمية المتبعة موضحة في الشكل(6) وكالآتي [6]:

1-يتم جمع الأس (exponent) للعددين كليهما, وفي الوقت نفسه يتم ضرب الأجزاء الكسرية (fraction) للعددين كليهما, أما بالنسبة للإشارة (sign) فيتم عمل xor بينهما.

2-يتم عمل تدوير (round) للعدد الناتج ومتابعة الحالات الشاذة.

3-يتم عمل التقييس (normalize) للعدد الناتج.



الشـــكل (6) تنفيـــذ عمليـــة الضـــرب باستخدام صيغة النقطة العائمة .

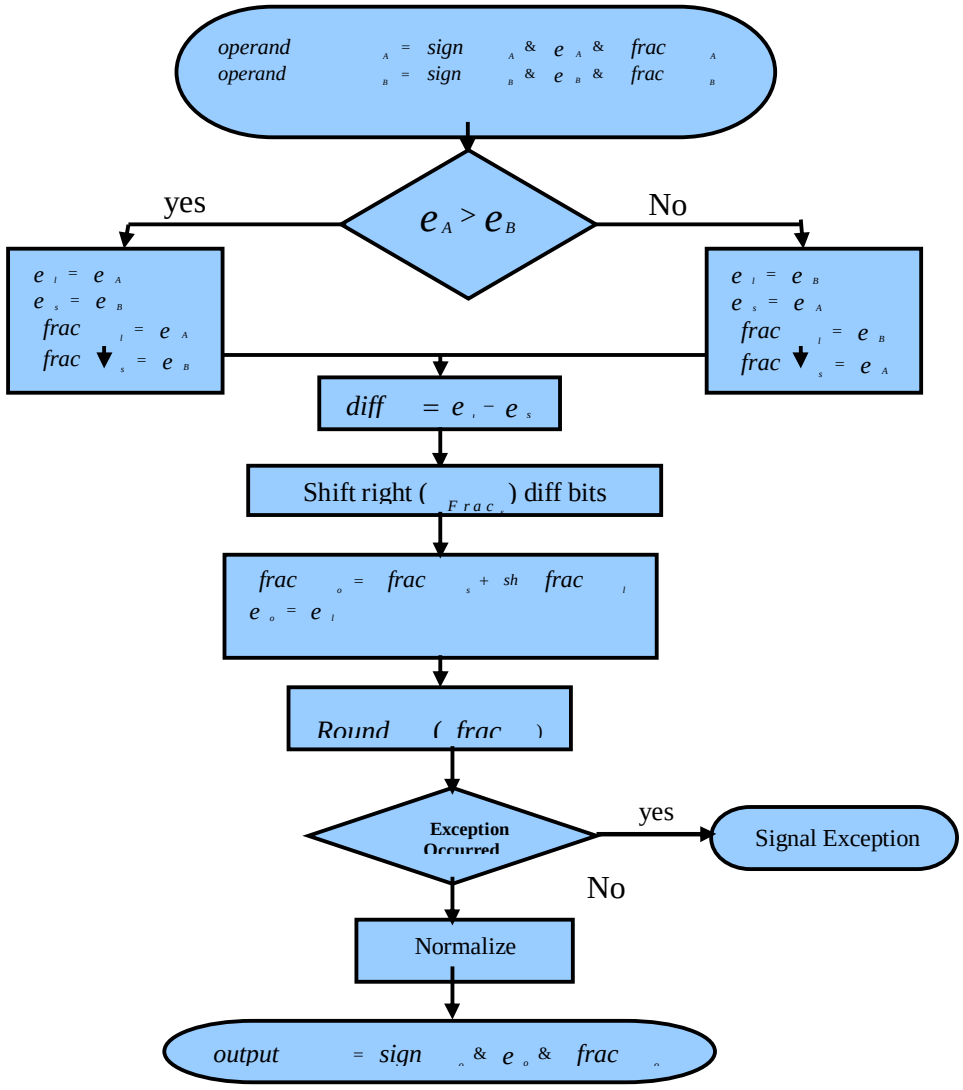
أما بالنسبة لعملية الجمع فتعد من العمليات الأكثر تعقيداً في صيغة النقطة العائمة, والشكل(7) يوضح سريان التصـــميم, وتكون الخوارزمية المتبعة لعملية الجمع كالآتي [6]:

1- يجب أن يكون الأس(exponent) متساوياً للعددين كليهما, وفي حالة عدم التساوي فسوف يتم اخذ الفرق بينهما, ويـــتم تزحيف العدد الأقل الى اليمين بمقدار هذا الفرق.
2- يتم جمع الجزء الكسري (fraction) للعددين كليهما.
3- يتم تدوير العدد (round), وملاحظـــة النـــاتج بحيـــث لايكـــون ضـــمن بعـــض الحـــالات الخاصـــة (underflow, overflow…..ex).
4- يتم عمل التقييس (Normalize).

ولاجل تنفيذ دالة التفعيل غير الخطية باستخدام صيغة النقطة العائمة فسوف يتم استخدام جدول معاينة (LUT) من اجل تنفيذ المعادلات الخاصة بدالة السيغمويد كما موضح في الجدول (2)

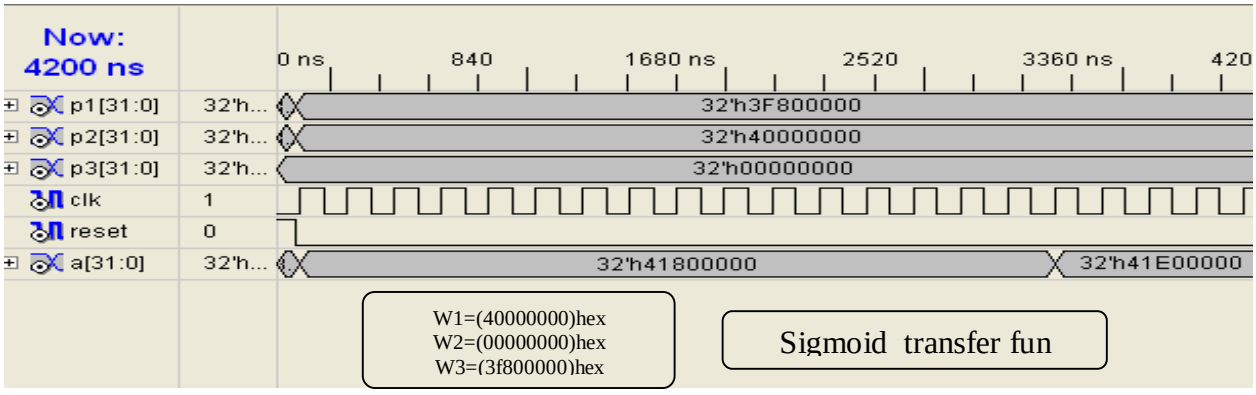
الجدول (2) جدول المعاينة (LUT) لتنفيذ دالة السيغمويد

Net	Net(hex)	A	A(integer)	A(hex)
4	40800000	1	32	42000000
3	40400000	0.968	31	41F80000
2	40000000	0.875	28	41E00000
1	3F800000	0.718	23	41B80000
0	00000000	0.5	16	41800000
-1	BF800000	0.28125	9	41100000
-2	C0000000	0.125	4	40800000
-3	C0400000	0.03125	1	3F800000
-4	C0800000	0	0	00000000



الشكل (7) تنفيذ عملية الجمع باستخدام صيغة النقطة العائمة

يوضح الشكل (8) يمثل محاكاة التصميم لخلية عصبية ذات ثلاث إدخالات (p1,p2,p3), حيث ان (p1=1=3f800000h, p2=2=40000000h, p3=0=00000000h) والاوزان مخزونة داخليا(1,0,2) بالتتابع,وباستخدام اشارات النبضة والتصفير فعند ضرب هذه الادخالات في الاوزان المناظرة لها سيكون الناتج (40000000h=2)وعند امرارها خلال دالة السيغمويد سيكون الناتج(41E00000h).



الشكل (8) محاكاة التصميم

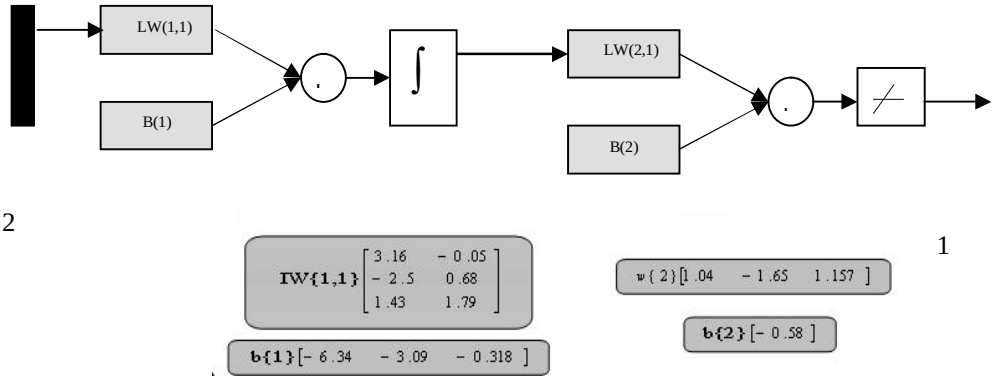
يوضح الجدول (3) مقارنة بين صيغتي التنفيذ المستخدمة في تنفيذ خلية عصبية ويعطي ملخص المصادر المستهلكة عند التنفيذ على شريحة (FPGA) من نوع (Spartan 3e) (xc3s500efg320-4) وباستخدام البيئة البرمجية المتكاملة (Xilinx ISE 8.2i [7]).

الجدول (3) ملخص تنفيذ خلية عصبية

Neuron Type	Sigmoid Floating	Sigmoid Integer
No. of Slices (4656)	1893	33
No. of Slice flip flop (9312)	1183	28
No. of 4input LUT (9312)	3483	58
No. of IOBs (232)	130	21
No. of GCLK (24)	1	1
Total No. of gates	36113	665
Time Summary		
Min period (ns)	17.023	9.760
Min input time before clk	4.992	2.327
Max output time after clk	4.780	4.74

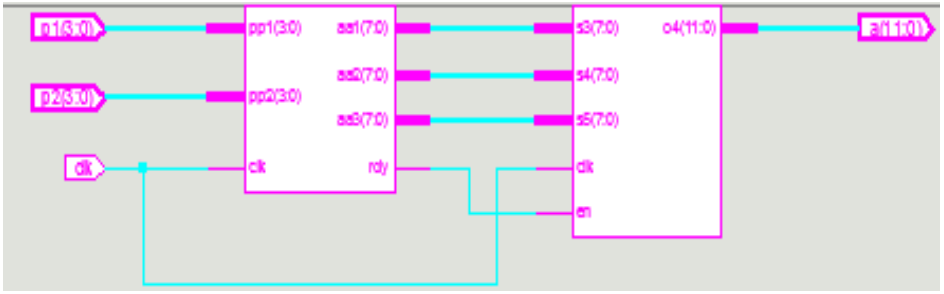
3_4 تنفيذ شبكة عصبية متعددة الطبقات:

تم تصميم وتنفيذ شبكة عصبية متعددة الطبقات ذات التغذية الأمامية بالاستناد على تدريبها باستخدام خوارزمية الانتشار العكسي. الشبكة المصممة موضحة في الشكل (9) مدربة برمجيا باستخدام البيئة البرمجية (matlab) لإيجاد المعاملات المثلى للشبكة.

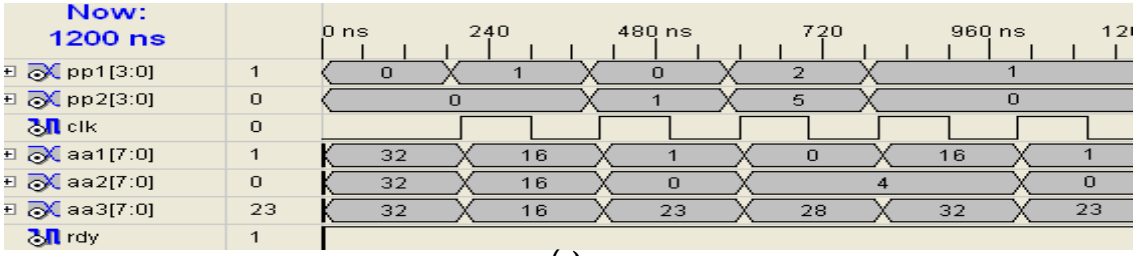


الشكل (9) الشبكة العصبية المصممة.

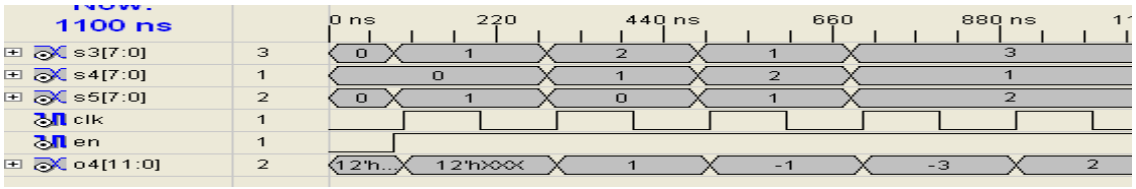
ويوضح الشكل (10) تنفيذ الشبكة باستخدام صيغة الاعداد الصحيحة, حيث إن (p1,p2) إدخالات الشبكة (وكل إدخال 4bit), clk إشارة النبضة, (a) إخراج الشبكة (12 bit), محاكاة التصميم موضحة في الشكل (11a) محاكاة الطبقة الأولى التي تضم ثلاث خلايا عصبية, الشكل (11b) محاكاة الطبقة الثانية والتي تضم خلية عصبية واحدة, والشكل (11c) محاكاة التصميم للشبكة بأكملها).



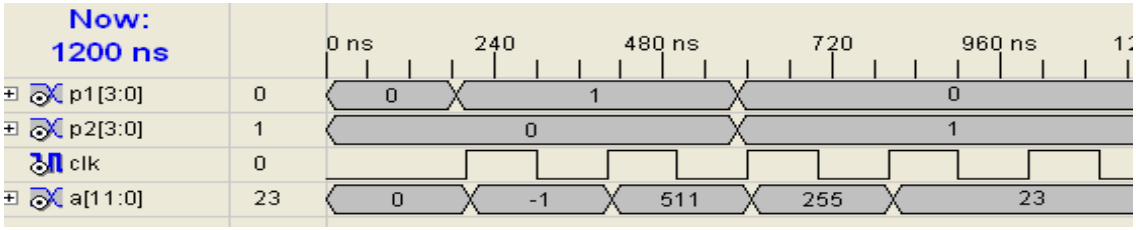
الشكل (10) الشبكة العصبية المنفذة



(a)



(b)



(c)

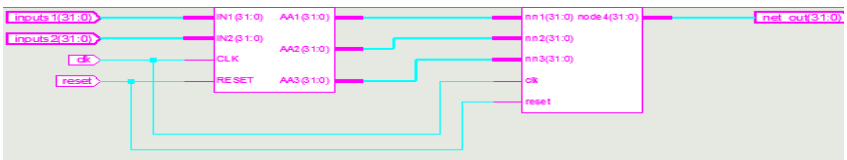
الشكل (11) محاكاة التصميم للشبكة المصممة

يوضح الجدول (4) ملخص المصادر المستهلكة للشبة على شريحة FPGA نوع (Spartan 3e).

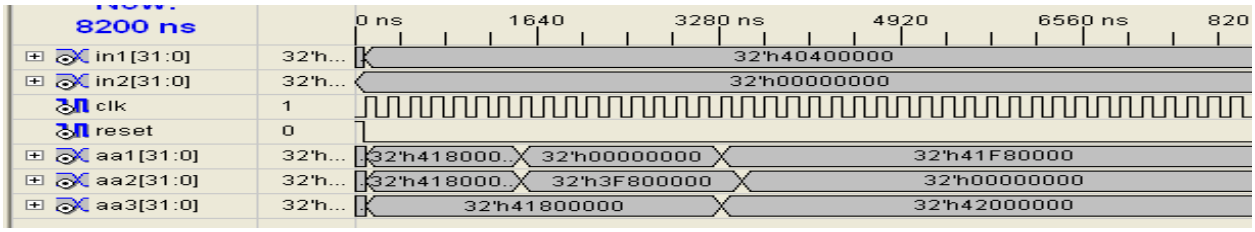
الجدول (4) ملخص المصادر المستهلكة

No. of Slices	96 out of 4656	2%
No. of Slice flip flop	71 out of 9312	0%
No. of 4input LUT	173 out of 9312	1%
No. of IOBs	21 out of 232	9%
No. of MUL18*18IOs	4 out of 20	20%
No. of GCLK	1 out of 24	4%
Timing Report		
Min period (ns)	11.078	
Min input time before clk(ns)	10.054	
Max output time after clk(ns)		4.663

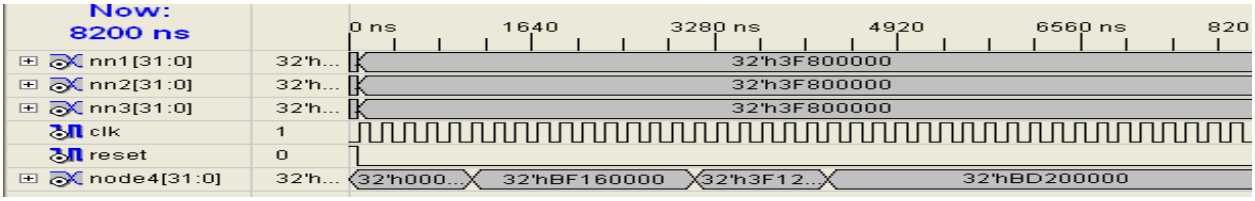
ويوضح الشكل (12) تنفيذ نفس الشبكة العصبية السابقة ولكن باستخدام صيغة النقطة العائمة, والشكل (13) محاكاة التصميم للشبكة حيث ان (inputs1,inputs2) تمثل إدخالات الشبكة(كل إدخال 32bits)باستخدام صيغة النقطة العائمة ذات الدقة المفردة (single precision), (net_out) يمثل إخراج الشبكة(32 bits)



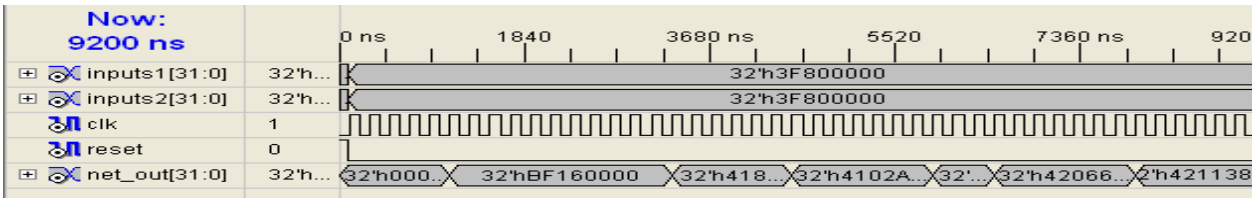
الشكل (12) الشكة العصبية المنفذة بصيغة النقطة العائمة



(a)



(b)



(c)

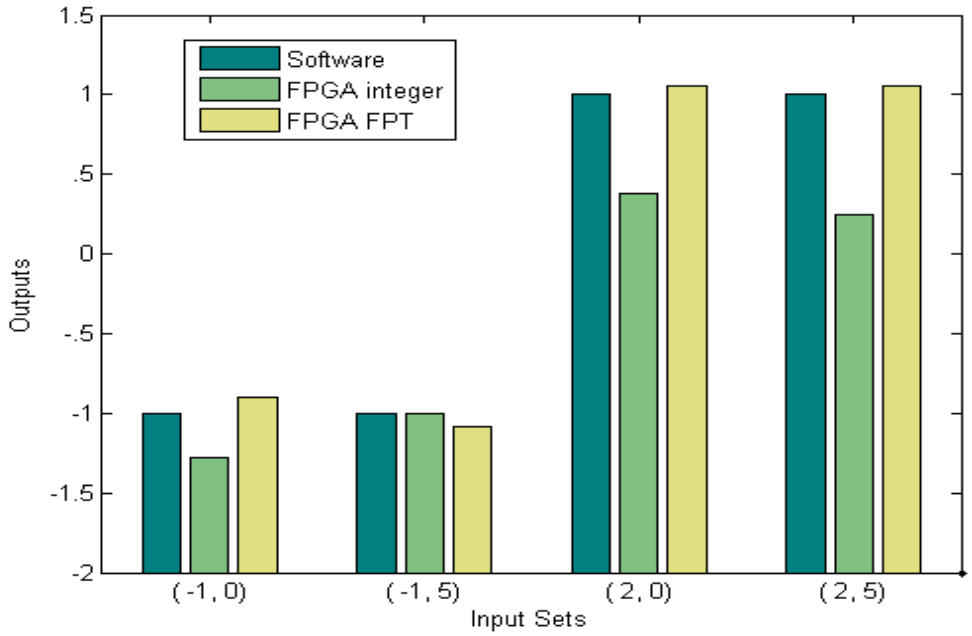
الشكل (13) محاكاة التصميم

ويوضح الجدول (5) ملخص المصادر المستهلكة عند التنفيذ على شريحة FPGA نوع (virtex4) (xc4vsx25-11ff668) وقد تم اختيار هذه الشريحة بسبب ملائمتها للاستهلاك العالي لمصادر الشريحة وعدم كفاية شريحة (Spartan 3e).

الجدول (5) ملخص المصادر المستهلكة

Back propagation Floating point Neural Network		
No. of Slices	6645 out of 10240	64%
No. of Slice flip flop	4276 out of 20480	20%
No. of 4input LUT	12537 out of 20480	61%
No. of IOBs	98 out of 320	30%
No. of GCLK	1 out of 32	3%
Timing Report		
Min period (ns)	11.985	
Min input time before clk(ns)	8.204	
Max output time after clk(ns)	4.372	

وكما واضح أعلاه وعلى الرغم من الاستهلاك العالي للمساحة والمصادر باستخدام صيغة النقطة العائمة, إلا أن هذه الصيغة تعطي دقة عالية جداً. ويوضح الشكل (14) نتائج الإخراج باستخدام صيغة الأعداد الصحيحة, وصيغة النقطة العائمة ومقارنتها مع الإخراج في حالة المحاكاة البرمجيه. حيث إن التنفيذ باستخدام صيغة النقطة العائمة يقترب من نتائج المحاكاة البرمجي(software simulation) بنسبة خطأ قليلة جداً, ويكون هذا على حساب المصادر المستهلكة, والمساحة السيليكونية التي يشغلها.



الشكل (14) المقارنة بين صيغ التمثيل الحسابية

5_ الاستنتاجات:

في هذا البحث تم اقتراح طريقة تصميم وتنفيذ شبكة عصبية متعددة الطبقات ذات الانتشار الأمامي, بوصفها بلغة وصف الدوائر المتكاملة ذات السرعة الفائقة (VHDL) والتي تستخدم لعمل تصاميم ضخمة فائقة التكامل (VLSI). وقد طبقت إمكانيات هذه اللغة في التصميم لمعرفة المصادر التي يشغلها التصميم, وعدد البوابات المنطقية المستهلكة والمساحة التي يشغلها التصميم. وإن لاختيار الصيغة الحسابية المناسبة لتمثيل البيانات تأثير كبير في حجم التصميم ودقة النتائج وسرعة عمل الشريحة. تم تنفيذ الخلية العصبية باستخدام دالة التفعيل غير الخطية (السيغمويد) بصيغة الاعداد الصحيحة وصيغة النقطة العائمة, وبالاستناد على ذلك تم تنفيذ شبكة عصبية متعددة الطبقات.

تشير النتائج في هذا البحث إن التنفيذ باستخدام صيغة النقطة العائمة قد أعطى نتائج أدق منها في حالة صيغة الإعداد الصحيحة, ولكن هذا على حساب المصادر المستهلكة والمساحة وسرعة عمل الشريحة .

المصادر

1- Y. Liao ,*" Neural Networks in Hardware: A Survey"*, Department of Computer Science, University of California, Davis One Shields Avenue, Davis, CA 95616.
research/NNhardware.pdfhttp://www.csif.cs.ucdavis.edu/~liaoy

2- A. R. Omondi and J. C. Rajapakse (2006)," FPGA Implementations of Neural Networks", Springer U.S.ISBN 10-0-387-28485-0.

3- Yahya T. Q. Al-Dabbagh,"Wavelet Denoising Architecture Design With Vhdl",M.SC Thesis , College of Engineering, University of Mosul,2004.

4- Amr T. Abdel_Hamid ," A Hierarchical Verification of theIEEE-754 Table-Driven Floating-Point Exponential Function using HOL", M.sc thesis , Montréal, Québec, Canada , 2001.

5- R. Bai, J. Wang, L. Wang, F. Ding, "Design Of Nn-Pid Controller Based On Pso And Its Fpga Implementation", Control Science and Engineering Research Center, Southern Yangtze University,P.R.china, 2005Watam press.

6- J. Al-Eryani, "Floating Point Unit",2006, available via internet at jidan@gmx.net

7- Spartan 3E Starter Kit Board User Guide ,UG 230 (v1.0) March 2006 ,available via internet at: http://www.xilinx.com/

تم اجراء البحث في كلية الهندسة – جامعة الموصل